

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-183161

⑫ Int. Cl.	識別記号	庁内整理番号	⑬ 公開 昭和62年(1987)8月11日
H 01 L 27/10		7735-5F	
27/08	1 0 2	7735-5F	
29/78		7514-5F	審査請求 未請求 発明の数 1 (全11頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特 願 昭61-23731

⑯ 出 願 昭61(1986)2月7日

⑰ 発 明 者	神 垣 良 昭	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑱ 発 明 者	鍋 谷 慎 二	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑲ 発 明 者	古 沢 和 則	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑳ 発 明 者	内 田 登	小平市上水本町1450番地	株式会社日立製作所武蔵工場内
㉑ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地	
㉒ 代 理 人	弁理士 小川 勝男	外1名	

明 補 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 第1導電型の半導体基板の主面に第1導電膜

または第2導電型の第1ウエル領域を設け、該第1ウエル領域内に第2導電型または第1導電型の第2ウエル領域を設け、該第2ウエル領域の主面に半導体素子を設けたことを特徴とする半導体集積回路装置。

2. 前記半導体素子は、不揮発性情報を記憶し、

その不揮発性情報を電気的に消去するMISFETであり、前記第1ウエル領域は情報の消去時に消去電位が印加され、前記第2ウエル領域は情報の消去時に消去電位以上の電位が印加されることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 前記半導体素子は、相補型MISFETを構成するpチャネルMISFETまたはnチャネルMISFETであり、前記第2ウエル領域は、

第1ウエル領域の主面の半導体素子とその他の半導体素子の間を電気的に分離する素子分離領域であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関するものであり、特に、不揮発性の記憶機能を有する半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

MISFETのゲート絶縁膜にキャリアを注入することによって不揮発性情報を記憶し、その不揮発性情報を電気的に消去するEEPROM (Electrically Erasable and Programmable ROM) のメモリセルは、ウエル領域内に設けられる。これは、情報の消去を、ゲート電極に図1の接地電位V_{ss}、例えば0Vを印加し、前記ウエル領域に高電位V_{pp}、例えば15Vを印加して行うようにし

特開昭62-183161 (2)

ているからである。なお、EEPROMに関する技術は、例えば、日経マグロウヒル社発行「日経エレクトロニクス」1984年6月4日号、p197～p208に記載されている。

〔発明が解決しようとする課題点〕

ウエル領域に高電位を印加する場合、基板にはその電位 V_{pp} 以上の電位を印加して、ウエル領域と基板の間の逆バイアス状態を維持することが必要である。

本発明者は、メモリセルの情報の消去について検討した結果、情報の消去に長時間を要することを発見した。情報の消去時には、基板全体がプログラム電位 V_{pp} 以上の電位にされる。ところが、基板の体積が大きいので、基板電位の昇圧に長時間を要するからである。

また、基板に電位 V_{pp} 以上の電位が印加されたことにより、基板効果のために基板に設けられたMISPEITのしきい値が大きく変動し周辺回路が誤動作し易いという問題がある。

本発明の目的は、半導体集積回路装置の電氣的

特性の向上を図る技術を提供することにある。

本発明の他の目的は、不揮発性記憶機能を有する半導体集積回路装置の消去時間を短縮することにある。

本発明の他の目的は、不揮発性記憶機能を有する半導体集積回路装置の動作を安定にしかも容易にすることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにされるであろう。

〔課題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、半導体基板に第1ウエル領域を設け、この第1ウエル領域内に第2ウエル領域を設け、この第2ウエル領域内に半導体素子を設ける。

〔作用〕

上記した手段によれば、第1ウエル領域を設けたことによって、半導体素子を設けた第2ウエル

領域の電位に係わりなく、基板の電位を設定できるので、前記した目的を達成できる。

以下、本発明の構成について、実施例とともに説明する。

〔実施例1〕

実施例1は、本発明をEEPROMのメモリセルに適用したものである。

第1A図及び第1B図は本発明によって可能とされるメモリセルの概略の動作を説明するための図であり、第1A図は、バイト書き込み動作のときの選択動作を示し、第1B図は、バイト消去動作のときの選択動作を示す。なお、第1A図及び第1B図でメモリセル $M_1 \sim M_4$ の夫々についてそれと同一のセルが1バイト分用意され、これらが一括して書き込み又は消去動作を行うものである。

第1A図第1B図において、 $M_1 \sim M_4$ はメモリセルであり、夫々、選択MISPEITQとM₁NOS (Metal Nitride Oxide Semiconductor) 型のMISPEITQとを直列接続して構成している。WLは

は選択MISPEITQを選択するための選択ワード線であり、選択MISPEITQのゲート電極に接続している。選択ワード線WLは、図示しないXデコードによって選択される。ワード線WLにはXデコードによりハイレベル（電源電位 V_{cc} 、例えば5V）又はロウレベル（回路の接地電位 V_{ss} 、例えば0V）が印加される。選択ワード線WLは、第1図において横（X）方向に延在している。選択ワード線WLと平行して、高圧ワード線WL_Hが延在し、MNOSのゲート電極に接続している。高圧ワード線WL_Hは、図示しないXデコード（又は高圧デコード）によって選択される。ワード線WL_HにはXデコードによりプログラム電位 V_{pp} 、例えば15V又は回路の接地電位 V_{ss} が印加される。選択ワード線WL及び高圧ワード線WL_Hと交差する方向、すなわち、第1図における縦（Y）方向にデータ線DLが延在している。データDLは、各メモリセルの選択MISPEITQのソース領域に接続している。データ線DLは、図示しないYデコ

特開昭62-183161(3)

ードによって選択される。データ線DLはYデコードにより、電位Vssが印加されるか、又はフローティング状態とされる。MNO SQ-のソース領域には、書き込み阻止線又はソース線PLが接続している。書き込み阻止線PLは、データ線DLと平行、すなわち、第1図におけるY方向に延在している。書き込み阻止線PLは、図示しないYデコード（又は書き込み阻止回路）によって選択される。書き込み阻止線PLには、Yデコードによって電位Vss又はVppが供給される。各々の選択ワード線WLs、高圧ワード線Wsh、データ線DL、書き込み阻止線PLに対応するそれぞれの領域にメモリセルを設け、これをX、Y方向に複数配列してメモリセルアレイが構成される。

P-Wo11は、p型ウエル領域であり、このp型ウエル領域P-Wo11内にメモリセルが設けられている。p型ウエル領域P-Wo11は、メモリセルアレイを複数のマットに分けて構成した場合、そのマットごとに設けてもよく、p型ウエル領域P-Wo11をメモリセルアレイ全体が

入るように大きくしてもよい。前記p型ウエル領域P-Wo11は、n型ウエル領域N-Wo11内に設けてある。n型ウエル領域N-Wo11は、p型ウエル領域P-Wo11をマットごとに分けて設けた場合、そのp型ウエル領域P-Wo11領域に対応してマットごとに分けて設けてもよく、全てのp型ウエル領域P-Wo11が入るように大きくしてもよい。

次に、メモリセルの電気的動作を説明する。

第1A図において、情報の書き込みにおいて、メモリセルM₁について情報の書き込みがなされる場合を示している。情報の書き込みがなされるメモリセルM₁に接続している選択ワード線WLsを図示していないXデコードによって選択して、その選択ワード線WLsに電源電位Vcc、例えば5V（ハイレベル）を印加する。選択されたメモリセルM₁に接続している選択ワード線WLs以外の選択ワード線Wshは、回路の接地電位Vss、例えば0V（ロウレベル）にされる。選択されたメモリセルM₁のMNO SQ-のゲート電極に接

続している高圧ワード線Wshには、プログラム電位Vpp、例えば15Vが印加される。それ以外の高圧ワード線Wshは、回路の接地電位Vssにされる。選択されたメモリセルM₁に接続しているデータ線DLは回路の接地電位Vss、例えば0V（ロウレベル）にされる。それ以外のデータ線DLは、開放状態（Floating）にされる。このとき、実際の電位は、例えば事前のデータ線のプリチャージ動作等によって、3V程度とされる（以下の開放状態においても同じ）。選択されたメモリセルM₁に接続している書き込み阻止線PLには回路の接地電位Vssが印加され、ソース線とされる。それ以外の書き込み阻止線PLは、プログラム電位Vpp、例えば15Vが印加される。

書き込みにおいては、その内部にメモリセルが設けられている全てのp型ウエル領域P-Wo11が回路の接地電位Vss、例えば0Vにされる。また、全てのn型ウエル領域N-Wo11が回路の接地電位Vss、例えば0Vにされる。

以上の回路条件を設定すると、選択されたメモリセルM₁のMNO SQ-のゲート電極時に少数キャリア（電子）が注入されて、情報の書き込みがなされる。メモリセルM₁には高電圧Vppが全く印加されないで、書き込みはなされない。メモリセルM₂には、書き込みを阻止するため、書き込み阻止線PLから高電圧Vppが印加される。これによって、ゲート電極とチャネル領域との間の電位差が実質的に小さくなり、書き込みがなされない。メモリセルM₃では、ゲート電極の電位よりドレイン又はチャネル領域の電位が高いので書き込みは生じない（消去状態にもならない）。

書き込み動作においては、p型ウエル領域P-Wo11が接地電位Vssとされているので、p型基板1の電位も接地電位を保持することができる。さらに、これらの間に固定電位（例えば接地電位）が印加されたn型領域N-Wo11を設けているので、p型ウエル領域P-Wo11の電位の変動が生じてても、基板1の電位は変動しない。したがって、メモリセルアレイの周辺回路の動作を破壊

特開昭62-183161 (4)

に行いうる。

次に、情報の消去動作について説明する。

第1B図において、情報の消去がメモリセルM₁についてなされる場合を示している。情報の消去を行うメモリセルM₁に接続している選択ワード線W_{1s}を図示していないXデコーダによって選択して、その選択ワード線W_{1s}に電源電位V_{cc}、例えば5Vを印加する。それ以外の選択ワード線W_{1s}は回路の接地電位V_{ss}にする。選択されたメモリセルM₁のMNO SQ₁に接続している高圧ワード線W_{1h}は、回路の接地電位V_{ss}、例えば0Vにする。それ以外の高圧ワード線W_{1h}は、プログラム電位V_{pp}、例えば15Vを印加する。情報の消去においては、全ての書き込み阻止線PLがプログラム電位V_{pp}にされる。また、全てのデータ線DLは開放状態(Floating)にされる。

選択されたメモリセルM₁が設けられているp型ウエル領域P-W_{o11}には、プログラム電位V_{pp}、例えば15Vが印加される。それ以外の

p型ウエル領域P-W_{o11}は回路の接地電位V_{ss}、例えば0Vにされる。選択されたメモリセルM₁が設けられているn型ウエル領域N-W_{o11}は、電位V_{pp}+α(例えば16V)、すなわち、プログラム電位V_{pp}以上の電位にして、p型ウエル領域P-W_{o11}との間の逆バイアス条件を満すようにしている。選択されたメモリセルM₁が設けられているp型ウエル領域P-W_{o11}以外のp型ウエル領域P-W_{o11}及びこのp型ウエル領域P-W_{o11}を包含しているn型ウエル領域N-W_{o11}は、回路の接地電位V_{ss}にされる。

このような回路条件を設定すると、情報の消去を行うべきメモリセルM₁のみ、そのゲート絶縁膜中のキャリアが放出されて、情報の消去がなされる。メモリセルM₂及びM₃ではゲート電位とチャネル領域との間の電位差がないので消去されない。メモリセルM₄は、第1A図のメモリセルM₀と同じ状態とされ消去されない(書き込みもされない)。

前述のように、消去動作においては、選択されないメモリセル側のn及びp型ウエル領域N-W_{o11}及びP-W_{o11}の電位は、共に接地電位とされる。したがって、基板1の電位には影響を与えない。一方、選択されたメモリセルM₁の形成されたn及びp型ウエル領域N-W_{o11}及びP-W_{o11}の電位は、夫々、V_{pp}+α及びV_{pp}とされる。αを適当な値(0、7V以上)に設定することにより、領域N-W_{o11}及びP-W_{o11}間を逆バイアスとすることができる。また、n型領域N-W_{o11}を設けているので、基板1の電位を接地電位V_{ss}のまま保つことができ、又、領域P-W_{o11}の電位変動に影響されずに安定にできる。したがって、メモリセルアレイの周辺回路の動作を確実にに行い得る。

これらのウエル領域N-W_{o11}及びP-W_{o11}の電位は、図示しないバイアス電圧発生回路及びその制御回路によって与えられる。バイアス電圧発生回路は公知の種々の昇圧回路によって構成され、電源電圧V_{cc}から昇圧された電圧V_p

p又はV_{pp}+αを発生する。ワード線及び書き込み阻止線に対する電圧V_{pp}も、これによって発生される。消去時のみ、制御回路(消去回路)によって電圧V_{pp}+αが発生され、かつn型及びp型ウエル領域N-W_{o11}及びP-W_{o11}に電圧V_{pp}及びV_{pp}+αが夫々に印加される。

消去時に、基板1全体の電位を高電位V_{pp}又はV_{pp}+αに昇圧するのではなく、n型及びp型ウエル領域、特に第1B図に示したバイト消去の場合は、消去すべきメモリセル(M₁)の形成された1つのn及びp型ウエル領域のみを昇圧すればよい。従って、バイアス電圧発生回路の負担が少なくてすみ、回路を小型化でき、消費電力を少くできる。また、昇圧に要する時間が短くてすみ、消去動作を高速に行うことができる。

なお、消去動作をチップ全体に行うときは、第1B図におけるメモリセルM₁と同じ電位条件が全てのメモリセルに生じるように、ワード、データ線、書き込み阻止線及びウエルの電位を設定すればよい。この場合でも、基板1全体の昇圧を行

特開昭62-183161 (5)

うよりは、上記の点で有利である。

次に、デバイスの具体的な構成を説明する。

第2図はEEPROMのメモリセルの平面図、第3図はEEPROMのチップの断面図であり、領域Aはアドレスデコード、クロック回路、センスアンプ等の周辺回路の断面の模式図、領域Bはメモリセルの断面の模式図である。なお、第2図は構成を見易くするため、フィールド絶縁膜以外の絶縁膜を図示していない。

第2図及び第3図において、1はp型単結晶シリコンからなる半導体基板であり、表面に酸化シリコン膜からなるフィールド絶縁膜6が設けられている。フィールド絶縁膜6は、領域AにおいてはMISFET等の半導体素子の溝部領域を規定し、領域Bにおいては、メモリセルのパターンを規定している。後述するn型ウエル領域2を除く半導体基板1の表面及びp型ウエル領域3の表面のフィールド絶縁膜6の下にはp型チャネルストップ領域5が設けられている。

第3図の領域Bに示すように、半導体基板1の

メモリセルアレイ領域には、深いn型ウエル領域2が設けられている。なお、第2図は構成を見易くするため、n型ウエル領域2を図示していない。n型ウエル領域2の上面に、そのn型ウエル領域2より浅いp型ウエル領域3を設けている。n型ウエル領域2は、p型ウエル領域3より深く、また幅広く形成してある。すなわち、p型ウエル領域3は、n型ウエル領域2内に包含されるように設けられている。n型ウエル領域2及びp型ウエル領域3は、メモリセルアレイのマトリクスと、あるいはバイトごと、さらにはメモリセルアレイ全体を包含するように形成される。したがって、n型ウエル領域2は、半導体基板1の上面の全域に設けたものではなく、大きくともメモリセルアレイ領域程度である。このため、n型ウエル領域2の体積は、半導体基板1のそれより極めて小さくなっている。n型ウエル領域2は、p型ウエル領域3の周辺部分がその一部が半導体基板1の表面に達している。p型ウエル領域3の周囲の半導体基板1の表面に達しているn型ウエル領域2の表

面に、第1層目のアルミニウム層からなる導電層19が接触孔20を通して接続している。導電層19は、情報の消去時に、n型ウエル領域2にプログラム電位 V_{pp} 以上の電位を印加する。すなわち、n型ウエル領域2は、情報の消去時にp型ウエル領域3との間の逆バイアス条件が満たされるようになっている。また、導電層19は、情報の消去以外では回路の接地電位 V_{ss} 、例えば0Vをn型ウエル領域2に印加する。n型ウエル領域2の導電層19が接続している部分の表面に、p型半導体領域26が設けられている。すなわち、導電層19は、p型半導体領域26の表面に接続している。p型ウエル領域3の表面の所定部には、第1層目のアルミニウム層からなる導電層17が接触孔18を通して接続している。この導電層17を通して、情報の消去時に、p型ウエル領域3にプログラム電位 V_{pp} を印加し、情報の消去以外では回路の接地電位 V_{ss} を印加する。p型ウエル領域3の導電層17が接続している部分の表面には、p型半導体領域25が設けられている。すなわ

ち、導電層17は、p型半導体領域25の表面に接続している。

前記のように、n型ウエル領域2には情報の消去時にプログラム電位 V_{pp} 以上の電位に昇圧される。ところが、n型ウエル領域2の体積は、半導体基板1の体積より極めて小さくなっている。このため、n型ウエル領域2は、半導体基板1を充電する場合より速く充電される。すなわち、n型ウエル領域2は情報の消去時に速くプログラム電位 V_{pp} に昇圧される。

第1図に示したメモリセルMISFETQは、第2図及び第3図の領域Bに示すように、多結晶シリコン層からなるゲート電極11、ソース、ドレイン領域であるp型半導体領域24、酸化シリコン膜からなるゲート絶縁膜7とで構成してある。ゲート電極11は、選択ワード線 $W1_s$ と一体に形成され、ゲート絶縁膜7上及びフィールド絶縁膜6上を延在している。フィールド絶縁膜6の上が選択ワード線 $W1_s$ であり、ゲート絶縁膜7の上がゲート電極11である。ゲート電

特開昭62-183161 (6)

傾11及び選択ワード線W₁₀の側面及び上面を酸化シリコン膜からなる絶縁膜36が覆っている。n型半導体領域24は、p型ウエル領域3のゲート電極11の両側部の表面に設けてある。選択MISFET₀のドレイン領域であるn型半導体領域24は、データ線15の同一の接続孔16に於て接続している選択MISFET₀のドレイン領域と一体に形成されている。選択MISFET₀のソース領域であるn型半導体領域24は、後述するMNOSQ₀のドレイン領域と一体に形成してある。なお、ゲート電極11及び選択ワード線W₁₀は、多結晶シリコン膜に限定されるものではなく、例えば、Mo、W、Ta、Ti等の高融点金属膜あるいはその高融点金属のシリサイド膜によって形成してもよい。また、単結晶シリコン層の上に前記高融点金属膜又はシリサイド膜を設けて構成した2層膜としてもよい。第1図に示したメモリセルMのMNOSQ₀は、第2図及び第3図の領域Bに示すように、p型ウエル領域3の所定の表面の20Å程度の極めて薄い絶

化シリコン膜からなる第1ゲート絶縁膜(UT₀)8、第1ゲート絶縁膜8の上に被着している酸化シリコン膜からなる第2ゲート絶縁膜9、第2ゲート絶縁膜9の上に被着している多結晶シリコン膜からなるゲート電極10、p型ウエル領域3の表面のゲート電極10の両側部に設けたn型半導体領域24とで構成してある。第1ゲート絶縁膜8は、フィールド絶縁膜6から露出しているp型ウエル領域3の表面にのみ設けてある。第2ゲート絶縁膜9は、第1ゲート絶縁膜8の上のみならず、フィールド絶縁膜6の上にも設けられている。ゲート電極10は、高圧ワード線W₁₀と一体に形成されている。すなわち、フィールド絶縁膜6の上が高圧ワード線W₁₀であり、フィールド絶縁膜6を除くp型ウエル領域3の表面上がゲート電極10である。ゲート電極10及び高圧ワード線W₁₀は、前記ゲート電極11及び選択ワード線W₁₀と平行して延在している。MNOSQ₀のドレイン領域であるn型半導体領域24は、選択MISFET₀のソース領域と一体に形成し

てある。また、MNOSQ₀のソース領域であるn型半導体領域24は、同一の接続孔14を通して同一の書き込み阻止線13が接続している他のメモリセルのMNOSQ₀のソース領域と一体に形成してある。なお、ゲート電極10は、多結晶シリコン膜に限定されるものではなく、Mo、W、Ta、Ti等の高融点金属膜又はそのシリサイド膜、さらには多結晶シリコン層の上に前記高融点金属膜あるいはそのシリサイド膜を設けて構成してもよい。MNOSQ₀のソース領域であるn型半導体領域24の表面に、第1層目のアルミニウム層からなる書き込み阻止線13(PL)が接続孔14を通して接続している。書き込み阻止線13は、選択ワード線W₁₀及び高圧ワード線W₁₀と交差してそれらの上を延在している。この書き込み阻止線13の側部をそれと平行に、第1層目のアルミニウム層からなるデータ線15(DL)が延在している。データ線15は選択ワード線W₁₀及び高圧ワード線W₁₀の上を延在し、また選択MISFET₀のソース領域であるn型半導体領域

24の表面に接続孔16を通して接続している。データ線15及び書き込み阻止線13と、選択ワード線W₁₀及び高圧ワード線W₁₀の間は、例えばリンシリケートガラス(PSG)からなる絶縁膜35によって絶縁してある。

アドレスデコーダ、センスアンプ、メインアンプ、クロック回路等の周辺回路は、nチャネルMISFETとpチャネルMISFETとからなる相補型MISFETによって構成される。前記pチャネルMISFETは、第3図の領域Aに示すように、半導体基板1の主面部に設けた浅いn型ウエル領域4に構成している。n型ウエル領域4の不純物濃度は、半導体基板1中のそれより低くなっている。前記nチャネルMISFETは、半導体基板1の主面部に設けた浅いp型ウエル領域3の主面に構成している。p型ウエル領域3は、浅いn型ウエル領域2内に設けている。n型ウエル領域2の不純物濃度は、半導体基板1中のそれより高くなっている。p型ウエル領域3の不純物濃度は、n型ウエル領域2のそれより高くなつて

特開昭62-183161 (7)

いる。

ここで、まず、 p チャネルMISFETの構成を説明する。周辺回路を構成している p チャネルMISFETは、 n 型ウエル領域4の表面の酸化シリコン膜からなるゲート絶縁膜7、ゲート絶縁膜7上の多結晶シリコン膜からなるゲート電極12、 n 型ウエル領域4のゲート電極12の両側部の表面のソース、ドレイン領域である p 型半導体領域38とで構成している。 p チャネルMISFETの平面形状は、酸化シリコン膜からなるフィールド絶縁膜7によって規定されている。ソース領域である p 型半導体領域38の表面には、第1層目のアルミニウム層からなる導電層21が接続孔23を通して接続している。導電層21は、 n 型ウエル領域4の表面に接続孔22を通して接続している。 n 型ウエル領域4の表面の導電層21が接続している部分に n 型半導体領域37を設けている。すなわち、導電層21は n 型半導体領域37の表面に接続している。導電層21は、 p チャネルMISFETのソース領域に電極電位 V_c

c 、例えば5Vを印加する。 p チャネルMISFETのドレイン領域である p 型半導体領域38の表面には、第1層目のアルミニウム層からなる導電層27が接続している。導電層27の一端は、他述する n チャネルMISFETのドレイン領域に接続している。 n チャネルMISFETは、 p 型ウエル領域3の表面のゲート絶縁膜7、ゲート絶縁膜7上のゲート電極12、 p 型ウエル領域3のゲート電極12の両側部のソース、ドレイン領域である n 型半導体領域39とで構成している。 n チャネルMISFETの平面形状は、フィールド絶縁膜6によって規定されている。ドレイン領域である n 型半導体領域39の表面に導電層27が接続孔29を通して接続している。ソース領域である n 型半導体領域39の表面には、第1層目のアルミニウム層からなる導電層30が接続孔31を通して接続している。導電層30は、 p 型ウエル領域3の表面に接続孔32を通して接続している。 p 型ウエル領域3の表面の導電層30が接続している部分に p 型半導体領域40を設けてい

る。すなわち、導電層30は p 型半導体領域40の表面に接続している。導電層30は、 n チャネルMISFETのソース領域である n 型半導体領域39に回路の接地電位 V_{ss} 、例えば0Vを印加する。なお、 p チャネルMISFET及び n チャネルMISFETにおいて、ゲート電極12は多結晶シリコン層に限定されるものではなく、Mo、W、Ta、Ti等の高融点金属膜又はそのシリサイド膜としてもよく、さらには多結晶シリコン層の上に前記高融点金属膜又はシリサイド膜を設けた2層膜としてもよい。

領域Aにおける p 型ウエル領域3は、 n 型ウエル領域2内に設けられている。 n 型ウエル領域2は p 型ウエル領域3より深く、また幅広く形成してある。 n 型ウエル領域2の p 型ウエル領域3の周辺部分は、半導体基板1の表面に達している。 n 型ウエル領域2の半導体基板1の表面に現われている部分に第1層目のアルミニウム層からなる導電層33が接続孔34を通して接続している。 n 型ウエル領域2の表面の導電層33が接続して

いる部分に n 型半導体領域41を設けている。すなわち、導電層33は n 型半導体領域41の表面に接続している。導電層33は n 型ウエル領域2に電極電位 V_{cc} 、例えば5Vを印加する。

すなわち、 n 型ウエル領域2と p 型ウエル領域3の間は逆バイアスにされる。 n チャネルMISFETから p 型ウエル領域3内に注入された電子は、 n 型ウエル領域2内に流入することによってその n 型ウエル領域2から電極電位 V_{cc} に吸引される。一方、 p チャネルMISFETから n 型ウエル領域2を通して半導体基板1内に注入されたホール（正孔）は、半導体基板1と n 型ウエル領域2の間の障壁を越えることができない。すなわち、半導体基板1の p チャネルMISFETと n チャネルMISFETの間に電流が流れることがない。

〔実施例Ⅱ〕

第4図は実施例Ⅱの補給型MISFETの平面図であり、第5図は第4図のA-A切断線における断面図である。なお、第4図は補給型MISF

特開昭62-183161 (8)

ETの構成を見易くするため、フィールド絶縁膜6以外の絶縁膜を図示していない。

実施例Ⅱは、p型半導体基板1の主面部にp型ウエル領域42を設け、このp型ウエル領域42内にn型ウエル領域43を設け、このn型ウエル領域43内にpチャネルMISFETを構成して相補型MISFETのラッチアップを防止したものである。

第4図及び第5図において、nチャネルMISFETは、半導体基板1の表面のゲート絶縁膜7、ゲート絶縁膜7上のゲート電極12、半導体基板1のゲート電極12の両側部の表面に設けたソース、ドレイン領域であるp型半導体領域39とで構成してある。ソース領域であるp型半導体領域39の表面には第1層目のアルミニウム層からなる導電層46が接続孔47を通して接続している。導電層46は回路の接地電位Vssを供給する。ドレイン領域であるp型半導体領域39の表面には第1層目のアルミニウム層からなる導電層48が接続孔49を通して接続している。ゲート電極

12のフィールド絶縁膜6上の端部には、第1層目のアルミニウム層からなる導電層56が接続孔57を通して接続している。

半導体基板1のpチャネルMISFETが設けられる領域には、深いp型ウエル領域42が設けてある。p型ウエル領域42内に浅いn型ウエル領域43を設けている。n型ウエル領域43を除くフィールド絶縁膜6の下の半導体基板1及びp型ウエル領域42の表面には、p型チャネルストップ領域5を設けている。

ここで、pチャネルMISFETの構成を説明する。pチャネルMISFETは、n型ウエル領域43の表面にゲート絶縁膜7、ゲート絶縁膜7上のゲート電極12、n型ウエル領域43のゲート電極12の両側部の表面のソース、ドレイン領域であるp型半導体領域38とで構成している。ドレイン領域であるp型半導体領域38の表面には、前記導電層48の一端が接続孔50を通して接続している。ソース領域であるp型半導体領域38の表面には、第1層目のアルミニウム層から

なり、電源電位Vcc、例えば5Vを印加する導電層52が接続孔51を通して接続している。導電層52はn型ウエル領域43の表面に接続孔53を通して接続している。ゲート電極12のフィールド絶縁膜6上の端部に、第1層目のアルミニウム層からなる導電層58が接続孔59を通して接続している。n型ウエル領域43の導電層52が接続している部分には、p型半導体領域45を設けている。すなわち、導電層52はn型半導体領域45の表面に接続している。

前記p型ウエル領域42の不純物濃度は、半導体基板1中のそれより高くなっている。すなわち、p型ウエル領域42の抵抗値は、半導体基板1のそれより小さくなっている。n型ウエル領域43の不純物濃度は、p型ウエル領域42のそれより高くなっている。n型ウエル領域43は、その表面のpチャネルMISFETの周辺部分がフィールド絶縁膜6の間から露出している。p型ウエル領域42は、n型ウエル領域43より深く、また幅広く形成してある。p型ウエル領域42のn型

ウエル領域43の周辺部分は、その表面が半導体基板1の表面に覆れている。n型ウエル領域43の周囲を囲んで、p型ウエル領域42の表面にp型半導体領域44を設けている。p型半導体領域44は、その表面がフィールド絶縁膜6の間から露出している。p型半導体領域44の平面形状はフィールド絶縁膜6によって規定されている。p型半導体領域44の表面の所定部分に、第1層目のアルミニウム層からなる導電層54が接続孔55を通して接続している。p型半導体領域44は導電層54を通して印加される回路の接地電位Vss、例えば0Vをp型ウエル領域42に略均一に印加するために使用している。

相補型MISFETのラッチアップは、pチャネルMISFETのドレイン領域であるp型半導体領域38をエミッタ、n型ウエル領域43をベース、p型半導体基板1をコレクタとする寄生トランジスタが導通し、コレクタ電流がnチャネルMISFETのソース領域であるp型半導体領域39に流入することによって起る。しかし、n型

特開昭62-183161 (9)

ウエル領域43の周囲に、半導体基板1より低抵抗のp型ウエル領域42を設け、このp型ウエル領域42を回路の接地電位 V_{ss} を印加する導電層54に接続したことにより、前記寄生トランジスタのコレクタ電流は、導電層54を通して半導体基板1外に流れる。したがって、半導体基板1のpチャネルMISFETとnチャネルMISFETの間に電流が流れることがない。

なお、本実施例では、nチャネルMISFETを半導体基板の正面に構成してあるが、このnチャネルMISFETはp型ウエル領域内に構成するようにしてもよい。

本願によって開示された新規な技術によれば、次の効果を得ることができる。

(1)、その正面にメモリセルを有するp型ウエル領域をそれより大きなn型ウエル領域内に設けたことにより、n型ウエル領域が半導体基板全体より極めて小さいので、情報の消去時における前記n型ウエル領域の電位を高速度で昇圧することができる。

pチャネルMISFETとnチャネルMISFETの間にラッチアップが発生するのを防止することができる。

(6)、メモリセルアレイの周辺回路の動作をメモリセルへの情報の書き込み又は消去時にも安定に動作させられるので、EEPROMをマイクロコンピュータチップ等と同一チップ上に形成することが可能になる。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形可能であることはいうまでもない。

例えば、メモリセルは、MOS型素子1個又はMOS型素子1個とMISFET2個(データ線側及び書き込み素子線側のスイッチ素子)からなってもよい。又は、メモリセルがフローティングゲートを有するMISFETからなってもよい。本発明は電氣的にメモリセルの情報の書き込み及び消去を行う半導体装置を始めとする種々の半導体装置に広く適用できる。

(2)、前記(1)により、n型ウエル領域を昇圧するために要する電流が低減されるので、昇圧回路を構成するMISFETを小さくすることができ、消費電力を低減できる。

(3)、相補型MISFETを構成するnチャネルMISFETをp型ウエル領域に設け、さらにこのp型ウエル領域をn型ウエル領域内に設けたことにより、pチャネルMISFETとnチャネルMISFETの間が前記n型ウエル領域によって遮蔽されて、pチャネルMISFETとnチャネルMISFETの間にラッチアップが発生するのを防止することができる。

(4)、前記(3)により、相補型MISFETの電氣的特性の向上を図ることができる。

(5)、相補型MISFETを構成するpチャネルMISFETをn型ウエル領域内に設け、さらにn型ウエル領域をp型ウエル領域内に設け、このp型ウエル領域を回路の接地電位 V_{ss} 配線に接続したことにより、寄生トランジスタのコレクタ電流が前記p型ウエル領域によって吸収されるので

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

ウエル領域を、それと同一又は逆導電型のウエル領域内に形成したことにより、半導体装置の電氣的特性を向上でき、特にその動作速度、信頼性を向上できる。

4. 図面の簡単な説明

第1A図及び第1B図はEEPROMのメモリセルの書き込み及び消去の回路図。

第2図は前記メモリセルの平面図。

第3図はEEPROMの周辺回路を構成するMISFETとメモリセルの断面図。

第4図は相補型MISFETの平面図。

第5図は第4図のA-A切断線における断面図である。

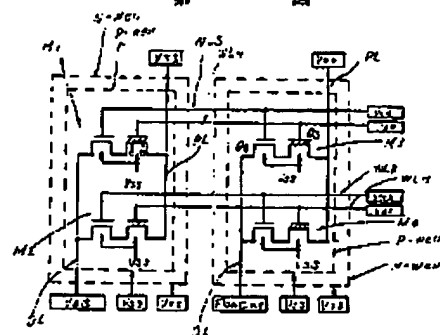
1…半導体基板、2、3、4、42、43…ウエル領域、5、24、25、26、38、39、40、41、44、45…半導体領域、6…フィ

特開昭62-183161 (10)

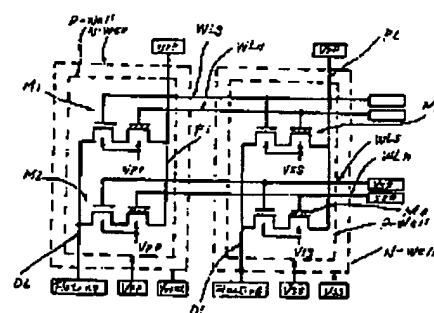
—ルド絶縁膜、7、8、9、35、36—絶縁膜、
10、11、12、13、15、17、19、21、27、30、33、46、48、52、54、
56、58—導電層、14、18、18、20、
22、23、28、29、31、32、34、47、49、50、51、53、55、57、59
—接点孔。

代理人 弁理士 小川啓男

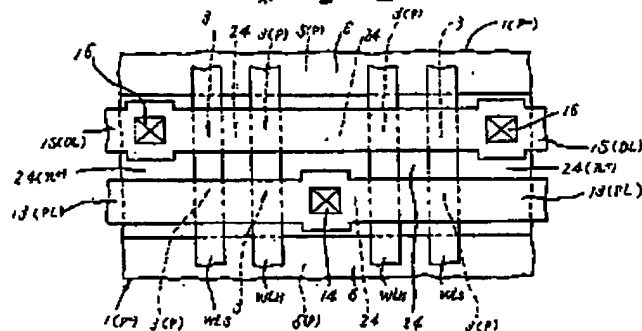
第 1 A 図



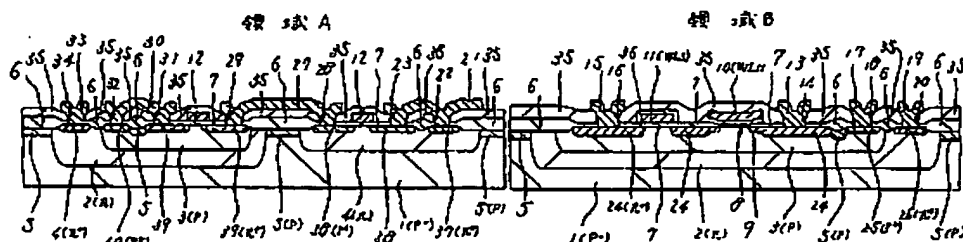
第 1 B 図



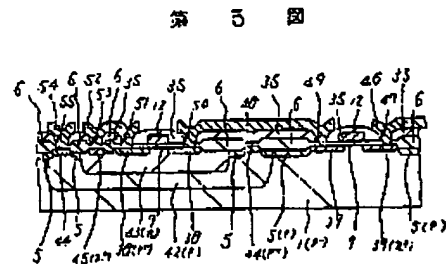
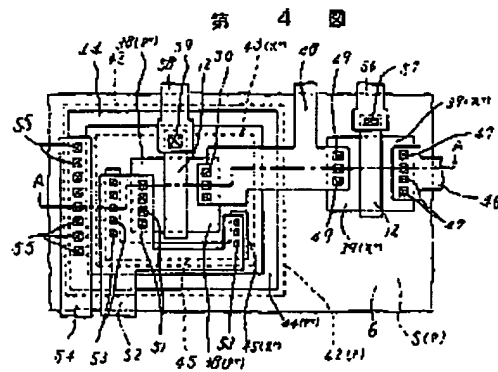
第 2 図



第 3 図



特開昭62-183161 (11)



JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 62 [1987]-183161

Int. Cl.: H 01 L 27/10
27/08
29/78

Sequence Nos. for Office Use: 7735-5F
7735-5F
7514-5F

Filing No.: Sho 61[1986]-23731

Filing Date: February 7, 1986

Publication Date: August 11, 1987

No. of Inventions: 1 (Total of 11 pages)

Examination Request: Not filed

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Inventor: Yoshiaki Kamigaki
Hitachi Ltd.
Musashi Plant
1450 Josuihon-cho, Kodaira-shi

Shinji Nabeya
Hitachi Ltd.
Musashi Plant
1450 Josuihon-cho, Kodaira-shi

Kazunori Furusawa
Hitachi Ltd.
Musashi Plant
1450 Josuihon-cho, Kodaira-shi

Ken Uchida
Hitachi Ltd.
Musashi Plant
1450 Josuihon-cho, Kodaira-shi

Applicant:

Hitachi Ltd.
4-6 Kanda Surugadai, Chiyoda-ku,
Tokyo

Agent:

Katsuo Ogawa, patent attorney,
and one other

Claims

1. A semiconductor integrated circuit device characterized in that a first well region of either the first conductivity type or the second conductivity type is provided on the principal surface of a semiconductor substrate of the first conductivity type; in that a second well region of either the second conductivity type or the first conductivity type is provided in said first well region; and in that a semiconductor element is provided on the principal surface of said second well region.

2. The semiconductor integrated circuit device of Claim 1 characterized in that the aforementioned semiconductor element is a MISFET, which stores nonvolatile information and electrically erases nonvolatile information; in that the aforementioned first well region will have an erasing potential applied when the information is erased; and in that the potential at the aforementioned second well region will be higher than the erasing potential applied when the information is erased.

3. The semiconductor integrated circuit device of Claim 1 characterized in that the aforementioned semiconductor element is either a p-channel MISFET or an n-channel MISFET, which constitutes a complementary MISFET; and in that the aforementioned second well region is an element isolation region, which electrically isolates the semiconductor element on the principal surface of the first well region and the other semiconductor elements.

Detailed explanation of the invention

Industrial application field

The present invention pertains to a semiconductor integrated circuit device. In particular, it pertains to a technology that is effective when applied to a semiconductor integrated circuit device with nonvolatile storage function.

Prior art

The memory cell of the EEPROM (Electrically Erasable and Programmable ROM), which stores nonvolatile information by injecting carriers in the gate insulation film of MISFET

and electrically erases the nonvolatile information, is provided in a well region. This is because information is erased by applying ground potential (V_{ss}) of the circuit, for instance, 0V, to the gate electrode, and by applying a high potential (V_{pp}), for instance, 15 V, to the aforementioned well region. The technology related to the EEPROM is, for instance, discussed in "Nikkei Electronics" published by Nikkei McGraw-Hill, June 4, 1984 issue, pp. 197-208.

Problems to be solved by the invention

When a high potential is applied to a well region, it is necessary to maintain a state of reverse bias between the well region and the substrate by applying a potential higher than the potential (V_{pp}) to the substrate.

Through studies on the subject, the present inventors found out erasing information on a semiconductor integrated circuit requires a long time since the erasure entails bringing the entire substrate to a potential that is higher than the program potential (V_{pp}). And because the volume of the substrate is large, it takes a relatively long time to raise the substrate potential.

There is another problem. Because a potential higher than the potential (V_{pp}) is applied to the substrate, the threshold value of MISFET provided on the substrate fluctuates significantly due to the substrate effect; thus, peripheral circuits easily tend to faulty operation.

A purpose of the present invention is to offer a technology to improve the electrical characteristics of a semiconductor integrated circuit device.

Another purpose of the present invention is to shorten the erasing time of a semiconductor integrated circuit device that has nonvolatile storage function.

Another purpose of the present invention is to improve the operating stability of a semiconductor integrated circuit device that has nonvolatile storage function.

The aforementioned and the other purposes and the novel features of the present invention will be disclosed in the description of the present specifications and the attached figures.

Means to solve the problems

The invention as disclosed in the present application example will be summarized as follows:

A first well region is provided on a semiconductor substrate; a second well region is provided in the first well region; and a semiconductor element is provided in the second well region.

Operation

According to the aforementioned means, since a first well region is provided, the potential of the substrate can be set irrespective of the potential of the second well region where the semiconductor element is provided. Therefore, the aforementioned purpose can be realized.

Next, the constitution of the present invention will be explained along with application examples.

Application Example 1

In Application example 1, the present invention is applied to EEPROM memory cells.

Figure 1A and Figure 1B schematically illustrate the operation of a memory cell that is realized by the present invention. Figure 1A illustrates the selection operation in byte writing operation; and Figure 1B illustrates the selection operation in byte erasing operation. In both Figure 1A and Figure 1B, in each of the memory cells (M_1) - (M_4), enough cells that are identical to this are prepared for one byte. These execute the writing or the erasing operations batchwise.

In Figure 1A and Figure 1B, (M_1) - (M_4) are memory cells. Each is comprised by connecting a selection MISFET (Q_S) and an MNOS (Metal Nitride Oxide Semiconductor) type MISFET (Q_N) in series. The WLS is a selection word line to select the selection MISFET (Q_S), which is connected to the gate electrode of the selection MISFET (Q_S). The selection word line (WL_S) is selected by an X decoder, which is not illustrated. To the word line (WLS), the X decoder applies either a high level (the potential of the power source (V_{CC}), for instance, 5 V) or a low level (ground potential (V_{SS}) of the circuit, for instance, 0 V). The selection word line (WL_S) extends in the horizontal (X) direction in Figure 1. In parallel to the selection word line (WL_S), a high-level word line (WL_H) extends, and is connected to the gate electrode of the MNOS. The high-level word line (WL_H) is selected by an X decoder (or a high-level decoder), which is not illustrated. To the high-level word line (WL_H), the X decoder applies the program potential (V_{PP}), for instance, 15 V or ground potential (V_{SS}) of the circuit. In the direction that crosses the selection word line (WL_S) and the high-level word line (WL_H), that is, in the vertical (Y) direction in Figure 1, the data line (DL) extends. The data line (DL) is connected to the source region of the selection MISFET (Q_S) of each memory cell. The data line (DL) is selected by a Y decoder, which is not illustrated. The data line (DL) may have a potential (V_{SS}) applied by the Y decoder or may float. To the source region of the MNOS(Q_N), a write protect line or a source line (PL) is connected. The write protect line (PL) runs parallel to the data line (DL), that is, in the Y direction in Figure 1. The write protect line (PL) is selected by a Y decoder (or a

write protect circuit), which is not illustrated. To the write protect line (PL), the potential (V_{ss}) or (V_{pp}) is supplied by the Y decoder. Memory cells are provided in the respective regions that correspond to each of the selection word line (WL_s), high-level word line (WL_H), data line (DL) and write protect line (PL), which are arranged in a complex manner in the X and the Y directions to constitute memory cell array.

The p-well is a p-type well region. In this p-type well region (p-well), memory cells are provided. When memory cell arrays are divided into several mats [sic; sections], a p-type well region (p-well) may be provided for each mat. Or the p-type well region (p-well) may be made large enough to contain the entire memory cell array. The aforementioned p-type well region (p-well) is provided in an n-type well region (n-well). When the p-type well region (p-well) is divided into mats, the n-type well region (n-well) may be provided for each mat corresponding to the p-type well region (p-well), or it may be made large enough to contain the entire p-type well region (p-well).

Next, the operation of the memory cells will be explained.

Figure 1A illustrates a case of information writing where information is written to the memory cell (M_1). The selection word line (WL_s) connected to the memory cell (M_1) to which information is written is selected by an X decoder, which is not illustrated, and a power source potential (V_{cc}), for instance, 5 V (high level) is applied to the selection word line (WL_s). The other selection word lines (WL_s) except for the selection word line (WL_s) connected to the selected memory cell (M_1) are set to ground potential (V_{ss}) of the circuit, for instance, 0 V (low level). To the high-level word line (WL_H) connected to the gate electrode of the MNOS(Q_N) of the selected memory cell (M_1), program potential (V_{pp}), for instance, 15 V is applied. The other high-level word lines (WL_H) are set to ground potential (V_{ss}) of the circuit. The data line (DL) connected to the selected memory cell (M_1) is set to ground potential (V_{ss}) of the circuit, for instance, 0 V (low level). The other data lines (DL) will be made at open state (floating). At this time, the actual potential will be made approximately 3 V, for instance, by the previous precharge operation of data lines, etc. (This will also apply to the following open states). To the write protect line (PL) connected to the selected memory cell (M_1), ground potential (V_{ss}) of the circuit is applied, and this line will be the source line. To the other write protect lines (PL), a program potential (V_{pp}), for instance, 15 V, is applied.

In writing, all p-type well regions (p-well) with built-in memory cells will be at potential (V_{ss}) of the circuit, for instance, 0 V. Also, all n-type well regions (n-well) will be at potential (V_{ss}) of the circuit, for instance, 0 V.

When the aforementioned circuit conditions are set, minority carriers (electrons) will be injected into the gate insulation film of the MNOS (Q_N) of the selected memory cell (M_1), and the information will be written. Since no high voltage (V_{pp}) is applied at all to the memory cell (M_2), no writing will occur. To the memory cell (M_3), a high voltage (V_{pp}) is applied from the write protect line (PL) to prevent writing. In this manner, the potential difference between the gate electrode and the channel region will be substantially smaller, and writing will not occur. With regard to the memory cell (M_4), since the potential of drain or channel region is higher than the potential of gate electrode, no writing will occur (it will not be in an erasing state, either).

In the writing operation, since the p-type well region (p-well) is at ground potential (V_{ss}), the potential of the p-type substrate (1) can also hold ground potential. Furthermore, as an n-type region (n-well) with a fixed potential (for instance, ground potential) applied to it is provided between these, even if the potential of the p-type well region (p-well) fluctuates, the potential of the substrate (1) will not fluctuate. Therefore, the peripheral circuits of the memory cell array can operate stably.

Next, the erasing operation will be explained.

Figure 1B illustrates a case where information is erased from the memory cell (M_1). The selection word line (WL_S) connected to the memory cell (M_1) from which the information is erased is selected by an X decoder, which is not illustrated, and a power source potential (V_{cc}), for instance, 5 V, is applied to the selected word line (WL_S). The other selection word lines (WL_S) will be set to ground potential (V_{ss}) of the circuit. The high-level word line (WL_H) connected to the MNOS(Q_N) of the selected memory cell (M_1) is set to ground potential (V_{ss}), for instance, 0 V. The other high-level word lines (WL_H) will have a program potential (V_{pp}), for instance, 15 V, applied. In the erasing of information, all write protect lines (PL) will be set to the program potential (V_{pp}). Also, all data lines (DL) will be at open state (floating).

To the p-type well region (p-well) where the selected memory cell (M_1) is provided, program potential (V_{pp}), for instance, 15 V, is applied. The other p-type well regions (p-well) will be at ground potential (V_{ss}) of the circuit, for instance, 0 V. The n-type well region (n-well) where the selected memory cell (M_1) is provided is at a potential (V_{pp}) + α (for instance, 16 V), that is, a potential higher than the program potential (V_{pp}), so that the reverse bias condition between this and the p-type well region (p-well) will be met. The other p-type well regions (p-well) except for the p-type well region (p-well) where the selected memory cell (M_1) is provided, and the n-type well region (n-well) that contains this p-type well region (p-well) are at ground potential (V_{ss}) of the circuit.

When this circuit condition is set, the carriers in the gate insulation film of only the memory cell (M_1) from which the information is to be erased will be emitted; thus, the information will be erased. Since there is no potential difference between the gate electrode and the channel region of the memory cells (M_2) or (M_3), no erasing will occur. The memory cell (M_4) will be in the same state as the memory cell (M_3) in Figure 1A, thus no erasing will occur (no writing will occur, either).

As mentioned earlier, in the erasing operation, both the n- and p-type well regions (n-well) and (p-well) will be at ground potential. Therefore, the potential of the substrate (1) will have no effect. On the one hand, the potentials of the n- and p-type well regions (n-well) and (p-well) where the selected memory cell (M_1) is formed will respectively be at $V_{pp} + \alpha$ and V_{pp} . By setting α to an appropriate value (0.7 V or above), a reverse bias can be made between the regions (n-well) and (p-well). Also, since the n-type region (n-well) is provided, the potential of the substrate (1) can be kept at ground potential (V_{ss}), and can also be stable without being affected by the potential variation of the region (p-well). Therefore, the peripheral circuits of the memory cell array can be operated reliably.

The potentials of these well regions (n-well) and (p-well) are provided by a bias voltage generating circuit and its control circuit, which are not illustrated. The bias voltage generating circuit comprises various known high-voltage circuits, and generates the voltage V_{pp} or $V_{pp} + \alpha$, which have a higher voltage than the power source voltage (V_{cc}). The voltage (V_{pp}) for the word line and the write protect line is also generated by this circuit. Only at the time of erasing, the control circuit (erasing circuit) generates the voltage (V_{pp}) + α , and the voltages (V_{pp}) and (V_{pp}) + α are respectively applied to the n-type and the p-type well regions (n-well) and (p-well).

At the time of erasing, only the n-type and the p-type well regions, in particular, in case of byte erasing, which is illustrated in Figure 1B, only one each of the n- and p-type well regions where the memory cell (M_1) to be erased is formed, need to have the voltage raised instead of raising the potential of the entire substrate (1) to a high potential (V_{pp}) or (V_{pp}) + α . Therefore, the load on the bias voltage generating circuit can be low; the circuit can be made compact; and the power consumption can be reduced. Also, the time needed for raising the voltage will be shortened, thus the erasing operation can be executed quickly.

To erase the entire chip, the potentials of the word line, data line, write protect line and wells can be set so that the potential conditions that are the same as those for the memory cell

(M₁) in Figure 1B will occur to all of the memory cells. Even in this case, the same advantage can still be enjoyed compared to raising the voltage of the entire substrate (1).

Next, the specific constitution of the device will be explained.

Figure 2 is a top view of an EEPROM memory cell, and Figure 3 is a cross sectional view of an EEPROM chip. Region A is an equivalent diagram of the cross section of peripheral circuits such as address decoder, clock circuit, sense amplifier, etc., and region B is an equivalent diagram of the cross section of the memory cell. In Figure 2, no insulation films except for field insulation film are illustrated to allow easy recognition of the constitution.

In Figure 2 and Figure 3, (1) is a semiconductor substrate composed of p-type monocrystalline silicon, and a field insulation film (6) composed of silicon oxide film is provided on the surface. The field insulation film (6) specifies the element region of semiconductor elements such as MISFET, etc., in region (A), and in region (B), it specifies the pattern of the memory cell. Under the field insulation film (6) on the surface of the semiconductor substrate (1) and the surface of the p-type well region (3) except for the n-type well region (2), which will be discussed later, a p-type channel stopper region (5) is provided.

As illustrated in region (B) of Figure 3, a deep n-type well region (2) is provided in the memory cell array region of the semiconductor substrate (1). In Figure 2, to allow easy recognition of the constitution, the n-type well region (2) is omitted from the illustration. On the principal surface of the n-type well region (2), a p-type well region (3), which is shallower than the n-type well region (2) is provided. The n-type well region (2) is formed deeper and wider than the p-type well region (3). That is, the p-type well region (3) is provided so as to be contained in the n-type well region (2). Both n-type well region (2) and p-type well region (3) are provided for each mat of memory cell array, or for each byte, and furthermore so as to contain the entire memory cell array. Therefore, the n-type well region (2) is not provided over the entire principal surface of the semiconductor substrate (1). The largest area would be approximately as large as that of the memory cell array region. Thus, the volume of the n-type well region (2) is much smaller than that of the semiconductor substrate (1). The part of the n-type well region (2) around the p-type well region (3) partially reaches the surface of the semiconductor substrate (1). A conductive layer (19) composed of the first aluminum layer is connected by a via hole (20) to the surface of the n-type well region (2) around the p-type well region (3), which reaches the surface of the semiconductor substrate (1). The conductive layer (19) applies a potential, which is the program potential (V_{pp}) or higher, to the n-type well region (2) at the time of erasing information. That is, it is constituted so that a reverse bias will be applied between the n-type

well region (2) and the p-type well region (3) when the information is to be erased. Also, when information is not to be erased, the conductive layer (19) applies ground potential (V_{ss}) of the circuit, for instance, 0 V, to the n-type well region (2). The n^+ type semiconductor region (26) is provided on the surface of the part of the n-type well region (2) where the conductive layer (19) is connected. That is, the conductive layer (19) is connected to the surface of the n^+ type semiconductor region (26). A conductive layer (17) composed of the first layer of aluminum is connected through a connection hole (18) to a prescribed part on the surface of the p-type well region (3). Program potential (V_{pp}) is applied to the p-type well region (3) through this conductive layer (17) when information is erased and ground potential (V_{ss}) of the circuit is impressed when information is not erased. On the surface of the p-type well region (3) at the part where the conductive layer (17) is connected, a p^+ -type semiconductor region (25) is provided. That is, the conductive layer (17) is connected to the surface of the p^+ -type semiconductor region (25).

As mentioned earlier, the n-type well region (2) is raised to program potential (V_{pp}) or higher when information is erased. And since the volume of the n-type well region (2) is much smaller than the volume of the semiconductor substrate (1), the n-type well region (2) is charged faster than the semiconductor substrate (1). That is, the voltage of the n-type well region (2) is quickly raised to program potential (V_{pp}) when information is erased.

The selection MISFET (Q_s) of the memory cells (M) illustrated in Figure 1 comprises, as illustrated in Figure 2 and region B of Figure 3, a gate electrode (11) composed of polycrystalline silicon layer, an n^+ -type semiconductor region (24), which is the source/drain region, and a gate insulation film (7) composed of a silicon oxide film. The gate electrode (11) is formed integrally with the selection word line (WL_s), and extends on the gate insulation film (7) and the field insulation film (6). The top of the field insulation film (6) is the selection word line (WL_s) and on top of the gate insulation film (7) is the gate electrode (11). An insulation film (36) made of a silicon oxide film covers the side surface and the top surface of the gate electrode (11) and the selection word line (WL_s). The n^+ -type semiconductor region (24) is provided on the surface of both side parts of the gate electrode (11) of the p-type well region (3). The n^+ -type semiconductor region (24), which is the drain region of the selection MISFET (Q_s), is formed integrally with the drain region of the selection MISFET (Q_s), which is adjacent relative to the identical via hole (16) of the data line (15). The n^+ -type semiconductor region (24), which is the source region of the selection MISFET (Q_s), is integrally formed with the drain region of the MNOS (Q_N), which will be discussed later. The gate electrode (11) and the selection word line (WL_s) need not be

made of a polycrystalline silicon film. For instance, they may be formed from a high-melting-point metal film such as Mo, W, Ta, Ti, etc., or a silicide film of a high-melting-point metal. Or, it may be a double layer film comprised by providing the aforementioned high-melting-point metal film or silicide film on top of a monocrystalline silicon layer. The MNOS (Q_N) of the memory cells (M) illustrated in Figure 1, as illustrated in Figure 2 and region B of Figure 3, comprises the first insulation film (8) composed of an ultra-thin oxide (UTO) silicon film of approximately 20 Å on a prescribed surface of the p-type well region (3), the second gate insulation film (9) composed of a silicon nitride film, which is coated on the first gate insulation film (8), a gate electrode (10) composed of a polycrystalline silicon film, which is coated on the second gate insulation film (9), and the n^+ -type semiconductor region (24) provided on both side parts of the gate electrode (10) on the surface of the p-type well region (3). The first gate insulation film (8) is provided only on the surface of the p-type well region (3), which is exposed through the field insulation film (6). The second gate insulation film (9) is provided not only on the first gate insulation film (8) but also on the field insulation film (6). The gate electrode (10) is integrally formed with the high-level word line (WL_H). That is, on top of the field insulation film (6) is the high-level word line (WL_H), and on top of the surface of the p-type well region (3) except for the field insulation film (6) is the gate electrode (10). The gate electrode (10) and the high-level word line (WL_H) run parallel to the aforementioned gate electrode (11) and the selection word line (WL_S). The n^+ -type semiconductor region (24), which is the drain region of the MNOS (Q_N) is integrally formed with the source region of the selection MISFET (Q_S). Also, the n^+ -type semiconductor region (24), which is the source region of the MNOS (Q_N), is integrally formed with the source region of the MNOS (Q_N) of another memory cell, wherein the identical write protect line (13) is connected through the identical via hole (14). The gate electrode (10) need not be a polycrystalline silicon layer. It may also be a high-melting-point metal film such as Mo, W, Ta, Ti, etc., or its silicide film. Furthermore, it may be comprised by providing the aforementioned high-melting-point metal layer or its silicide film on a polycrystalline silicon layer. To the surface of the n^+ -type semiconductor region (24), which is the source region of the MNOS (Q_N), a write protect line (13) (PL) comprising of the first aluminum layer, is connected through a via hole (14). The write protect line (13) crosses the selection word (WL_S) and the high-level word line (WL_H), and extends on top of them. On the side part of this write protect line (13), in parallel thereto, extends a data line (15) (DL) composed of the first aluminum layer. The data line (15) runs on top of the selection word line (WL_S) and the high-level word line (WL_H), and is also connected to the surface of the n^+ -type

semiconductor region (24), which is the source region of the selection MISFET (Q_s), through a via hole (16). An insulation film (35) made of, for instance, phosphosilicate glass (PSG) insulates the data line (15) from the write protect line (13), and the selection word line (WL_s) from the high voltage word line (WL_H).

Peripheral circuits such as address decoder, sense amplifier, main amplifier, clock circuit, etc. are made of complementary MISFETs, which comprise n-channel MISFET and a p-channel MISFET. The aforementioned p-channel MISFET, as illustrated in Region A of Figure 3, is constituted in the shallow n-type well region (4) provided on the principal surface part of the semiconductor substrate (1). The impurity concentration in the n-type well region (4) is higher than that in the semiconductor substrate (1). The aforementioned n-channel MISFET is constituted on the principal surface of the shallow p-type well region provided on the principal surface part of the semiconductor substrate (1). The p-type well region (3) is provided in the deep n-type well region (2). The impurity concentration in the n-type well region (2) is higher than that in the semiconductor substrate (1). The impurity concentration in the p-type well region (3) is higher than that of the n-type well region (2).

First, the constitution of p-channel MISFET will be explained. The p-channel MISFET, which constitutes peripheral circuits, comprises a gate insulation film (7) composed of a silicon oxide film on the surface of the n-type well region (4), a gate electrode (12) composed of a polycrystalline silicon layer on top of the gate insulation film (7), and the p^+ -type semiconductor region (38), which is the source/drain region, on the surface of both side parts of the gate electrode (12) of the n-type well region (4). The planar shape of the p-channel MISFET is specified by the field insulation film (7) composed of a silicon oxide film. To the surface of the p^+ -type semiconductor region (38), which is the source region, a conductive layer (21) composed of a first aluminum is connected through a via hole (23). The conductive layer (21) is connected to the surface of the n-type well region (4) through a via hole (22). The n-type semiconductor region (37) is provided in the part where the conductive layer (21) is connected on the surface of the n-type well region (4). That is, the conductive layer (21) is connected to the surface of the n-type semiconductor region (37). The conductive layer (21) applies a power source potential (V_c), for instance, 5 V, to the source region of the p-channel MISFET. To the surface of the p^+ -type semiconductor region (38), which is the drain region of the p-channel MISFET, a conductive layer (27) composed of the first aluminum layer is connected. One end of the conductive layer (27) is connected to the drain region of the n-channel MISFET, which will be discussed later. The n-channel MISFET comprises a gate insulation film (7) on the surface of a

p-type well region (3), a gate electrode (12) on the gate insulation film (7), and an n^+ -type semiconductor region (39), which is the source/drain region, on both side parts of the gate electrode (12) of the p-type well region (3). The planar shape of the n-channel MISFET is specified by the field insulation film (6). A conductive layer (27) is connected through a via hole (29) to the surface of the n^+ -type semiconductor region (39), which is the drain region. A conductive layer (30) composed of the first aluminum layer is connected through a via hole (31) to the surface of the n^+ -type semiconductor region (39), which is the source region. The conductive layer (30) is connected to the surface of the p-type well region (3) through a via hole (32). In the part where the conductive layer (30) is connected to on the surface of the p-type well region (3), a p^+ -type semiconductor region (40) is provided. That is, the conductive layer (30) is connected to the surface of the p^+ -type semiconductor region (40). The conductive layer (30) applies ground potential (V_{ss}) of the circuit, for instance, 0 V, to the n^+ -type semiconductor region (39), which is the source region of the n-channel MISFET. The gate electrode (12) on the p-channel MISFET or the n-channel MISFET need not be made from polycrystalline silicon. It may be a high-melting-point metal film of Mo, W, Ta, Ti, etc., or a silicide film. Furthermore, it may be a double-layer film comprised of the aforementioned high-melting-point metal films or silicide film on top of a polycrystalline silicon layer.

The p-type well region (3) in region A is provided in the n-type well region (2). The n-type well region (2) is formed more deeply and widely than the p-type well region (3). The part of the n-type well region (2) around the p-type well region (3) reaches the surface of the semiconductor substrate (1). A conductive layer (33) comprising the first aluminum layer is connected to the part of the n-type well region (2) which appears on the surface of the semiconductor substrate (1) by a via hole (34). An n^+ -type semiconductor region (41) is provided in the part to which the conductive layer (33) is connected on the surface of the n-type well region (2). That is, the conductive layer (33) is connected to the surface of the n^+ -type semiconductor region (41). The conductive layer (33) applies the power source potential (V_{cc}), for instance, 5 V, to the n-type well region (2).

That is, a reverse bias is applied between the n-type well region (2) and the p-type well region (3). The electrons injected into the p-type well region (3) from the n-channel MISFET flow toward the n-type well region (2), since they are affected by the potential of the n-type well region (2), which is V_{cc} . On the one hand, the holes which are injected from the p-channel MISFET through the n-type well region (2) toward the semiconductor substrate (1) cannot cross the barrier between the semiconductor substrate (1) and the n-type well region (2). That is, there

is no current flow between the p-channel MISFET of the semiconductor substrate (1) and the n-channel MISFET.

Application Example 2

Figure 4 is a top view of the complementary MISFET in Application Example 2, and Figure 5 is a cross sectional view along line A-A in Figure 4. In Figure 4, in order to clarify the constitution of the complementary MISFET, all insulation films except the field insulation film (6) are omitted from the illustration.

In Application Example 2, a p-type well region (42) is provided on the principal surface part of the p-type semiconductor substrate (1); an n-type well region (43) is provided in this p-type well region (42); and a p-channel MISFET is constituted in this n-type well region (43). In this manner, latch-up of the complementary MISFET is prevented.

In Figure 4 and Figure 5, the n-channel MISFET comprises a gate insulation film (7) on the surface of a semiconductor substrate (1), a gate electrode (12) on the gate insulation film (7), and an n⁺-type semiconductor region (39), which is the source/drain region, provided on the surface on both parts of the gate electrode (12) of the semiconductor substrate. A conductive layer (46) composed of the first aluminum layer is connected by a via hole (47) to the surface of the n⁺-type semiconductor region (39), which is the source region. The conductive layer (46) supplies ground potential (V_{SS}) of the circuit. A conductive layer (48) composed of the first aluminum layer is connected by a via hole (49) to the surface of the n⁺-type semiconductor region (39), which is the drain region, a conductive layer (56) composed of the first aluminum layer is connected by a via hole (57) to the terminal part on the field insulation film (6) of the gate electrode (12).

In the region where the p-channel MISFET of the semiconductor substrate (1) is to be provided, a deep p-type well region (42) is provided. A shallow n-type well region (43) is provided in the p-type well region (42). A p-type channel stop region (5) is provided on the surface of the semiconductor substrate (1) and the p-type well region (42) under the field insulation film (6) except for the n-type well region (43).

The constitution of the p-channel MISFET will now be explained. The p-channel MISFET comprises a gate insulation film (7) on the surface of the n-type well region (43), a gate electrode (12) on the gate insulation film (7), and a p⁺-type semiconductor region (38), which is the source/drain region on the surface on both side parts of the gate electrode (12) of the n-type well region (43). One end of the aforementioned conductive layer (48) is connected by a via hole

(50) to the surface of the p^+ -type semiconductor region (38), which is the drain region. A conductive layer (52), which is composed of the first aluminum layer and to which the power source potential (V_{CC}), for instance 5 V, is applied, is connected by a via hole (51) to the surface of the p^+ -type semiconductor region (38), which is the drain region. The conductive layer (52) is connected to the surface of the n-type well region (43) by a via hole (53). A conductive layer (58) composed of the first aluminum layer is connected by a via hole (59) to the terminal part on the field insulation film (6) of the gate electrode (12). In the part where the conductive layer (52) is connected to the n-type well region (43), an n^+ -type semiconductor region (45) is provided. That is, the conductive layer (52) is connected to the surface of the n^+ -type semiconductor region (45).

The impurity concentration of the aforementioned p-type well region (42) is made higher than that of the semiconductor substrate (1). That is, the resistance of the p-type well region (42) is less than that of the semiconductor substrate (1). The impurity concentration in the n-type well region (43) is higher than that of the p-type well region (42). The part of the n-type well region (43) around the p-channel MISFET on the surface is exposed through a gap in the field insulation film (6). The p-type well region (42) is formed more deeply and widely than the n-type well region (43). The part of the surface of the p-type well region (42) around the n-type well region (43) appears on the surface of the semiconductor substrate (1). Surrounding the periphery of the n-type well region (43), a p^+ -type semiconductor region (44) is provided on the surface of the p-type well region (42). The surface of the p^+ -type semiconductor region (44) is exposed through a gap in the field insulation film (6). The planar shape of the p^+ -type semiconductor region (44) is specified by the field insulation film (6). A conductive layer (54) composed of the first aluminum layer is connected by a via hole (55) to the prescribed part on the surface of the p^+ -type semiconductor region (44). The p^+ -type semiconductor region (44) is used to evenly impress ground potential (V_{SS}), for instance, 0 V, which is applied through the conductive layer (54), to the p-type well region (42).

Latch-up of a complementary MISFET occurs as follows: a parasitic transistor is formed by using the p^+ -type semiconductor region (38), which is the drain region of the p-channel MISFET, as the emitter, the n-type well region (43) as the base, and the p^+ -type semiconductor substrate (1) as the collector. The collector current flows into the n^+ -type semiconductor region (39), which is the source region of the n-channel MISFET. However, since the p-type well region (42), which has a lower resistance than the semiconductor substrate (1), is provided around the n-type well region (43), and this p-type well region (42) is connected to the conductive layer (54), to which ground potential (V_{SS}) of the circuit is applied, the collector current of the

aforementioned parasitic transistor flows from the semiconductor substrate (1) through the conductive layer (54). Therefore, no current will flow between the p-channel MISFET and the n-channel MISFET of the semiconductor substrate (1).

In the present application example, the n-channel MISFET is constituted on the principal surface of the semiconductor substrate. However, this n-channel MISFET may be constituted in the p-type well region instead.

According to the new technology disclosed in the present application, the following effects can be realized:

- (1) Since a p-type well region, which has memory cells on the principal surface, is provided in an n-type well region, where the n-type well region is much smaller than the entire semiconductor substrate, the potential of the aforementioned n-type well region can be quickly increased when information is to be erased.
- (2) Since the current required to raise the potential of the n-type well region is reduced due to the aforementioned point (1), the MISFET that constitutes the potential-raising circuit can be made smaller, and power consumption can be reduced.
- (3) Since an n-channel MISFET that constitutes a complementary MISFET is provided in a p-type well region, and furthermore, this p-type well region is provided in an n-type well region, the aforementioned n-type well region isolates the p-channel MISFET from the n-channel MISFET; thus, latch-up can be prevented from occurring between the p-channel MISFET and the n-channel MISFET.
- (4) As a result of the aforementioned point (3), an improvement in the performance of the complementary MISFET can be expected.
- (5) Since a p-channel MISFET that constitutes a complementary MISFET is provided in an n-type well region, and the n-type well region is provided in a p-type well region, and this p-type well region is connected to ground potential (V_{ss}) via wiring of the circuit, the collector current of the parasitic transistor is sunk by the aforementioned p-type well region. As a result, the occurrence of latch-up between the p-channel MISFET and the n-channel MISFET can be prevented.
- (6) Since the operation of peripheral circuits of memory cell array can be made stabilized at the time of writing of erasing information to and from memory cells, the EEPROM can be formed on the same chip as the microcomputer chip, etc.

The present invention was explained specifically on the basis of the application examples above. The present invention, however, is not limited to the aforementioned application examples. It can, of course, be modified within the scope of the essence of the present invention.

For instance, the memory cell may comprise one MNOS type element or one MNOS type element and two MISFETs (switch-elements on the data line side and the writing element line side). Or, the memory cell may comprise a MISFET that has a floating gate. The present invention can be widely applied to various types of semiconductor devices such as semiconductor devices that electrically write and erase information to and from memory cells.

Effect of the invention

The effect that can be realized by typical embodiments of the present invention as disclosed can be briefly explained as follows:

Since a well region is formed in another well region with the same or opposite conductivity type, the electrical characteristics of the semiconductor device can be improved. In particular, the operating speed and reliability can be improved.

Brief explanation of the figures

Figure 1A and Figure 1B are circuit diagrams for writing and erasing of a memory cell of EEPROM.

Figure 2 is a top view of the aforementioned memory cell.

Figure 3 is a cross sectional view of MISFET and memory cell that constitute peripheral circuits of EEPROM.

Figure 4 is a top view of a complementary MISFET.

Figure 5 is a cross sectional view along line A-A in Figure 4.

Key: 1 Semiconductor substrate

2, 3, 4, 42, 43 Well region

5, 24, 25, 26, 38, 39, 40, 41, 44, 45 Semiconductor region

6 Field insulation film

7, 8, 9, 35, 36 Insulation film

10, 11, 12, 13, 15, 17, 19, 21, 27, 30, 33, 46, 48, 52, 54, 56, 58 Conductive layers

14, 16, 18, 20, 22, 23, 28, 29, 31, 32, 34, 47, 49, 50, 51, 53, 55, 57, 59 Via hole

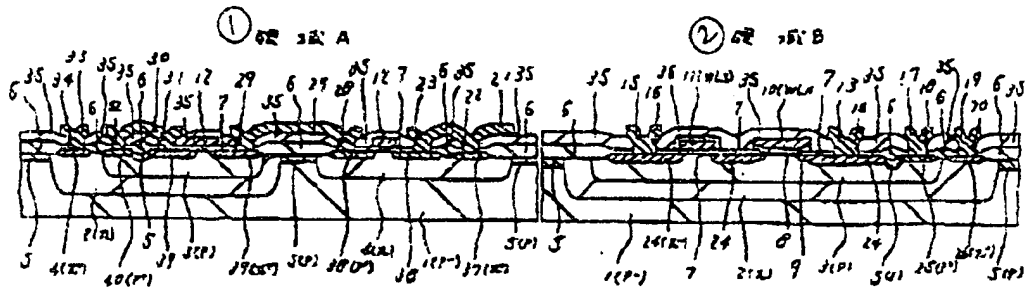


Figure 3

Key: 1 Region A
 2 Region B

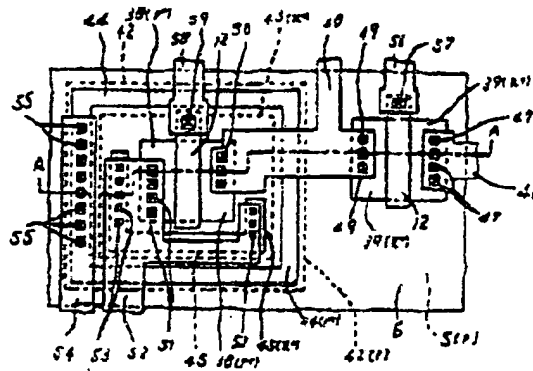


Figure 4

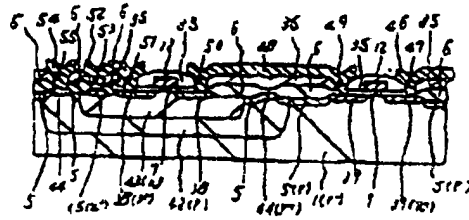


Figure 5